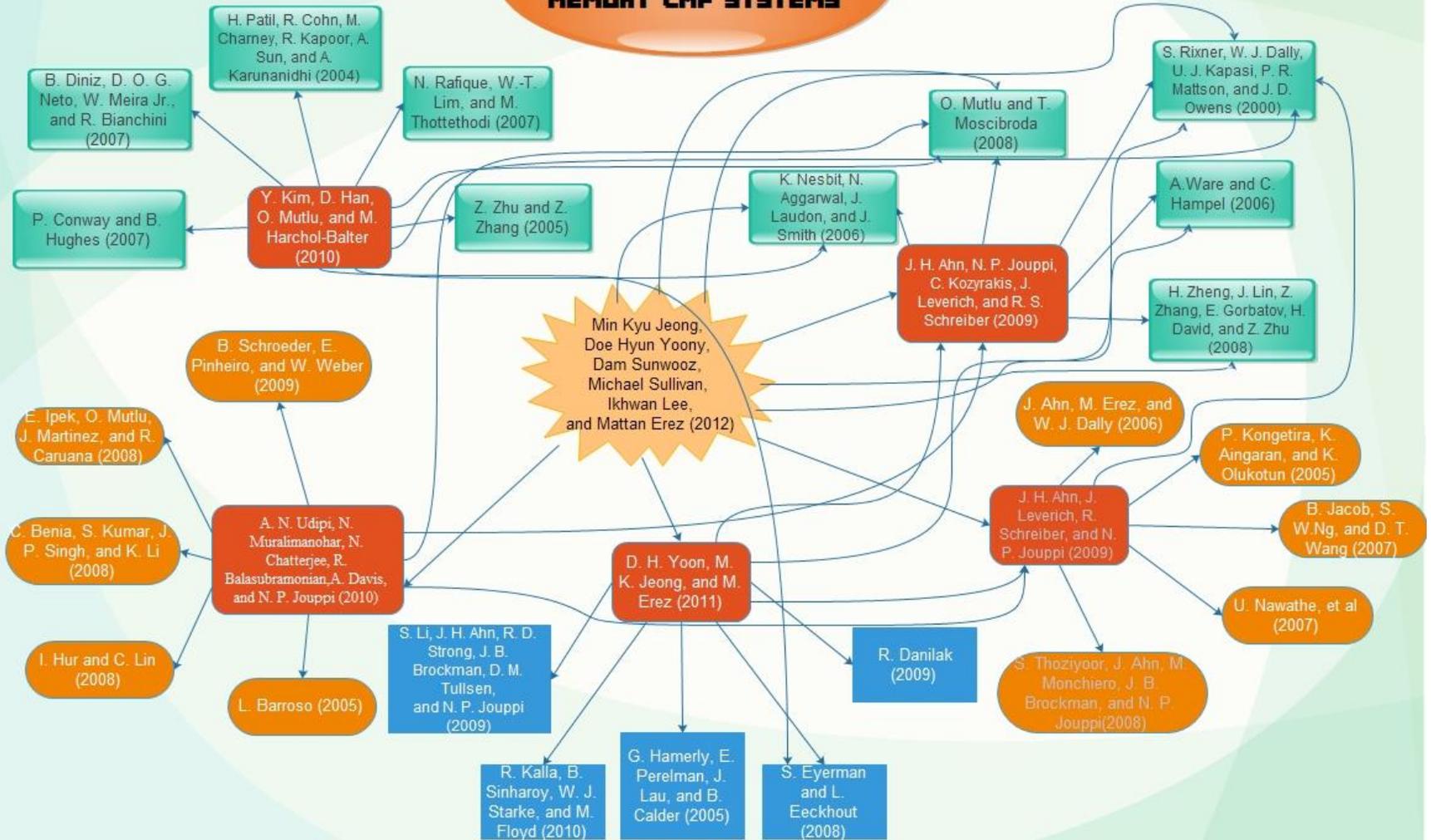


BALANCING DAM LOCALITY AND PARALLELISM IN SHARED MEMORY CMP SYSTEMS



Min Kyu Jeong, Doe Hyun Yoony, Dam Sunwooz, Michael Sullivan, Ikhwan Lee, and Mattan Erez (2012) “ pada penelitian mereka, mereka menghadirkan sebuah mekanisme yang bisa menyelesaikan masalah dasar dari aliran antar akses memori pada sumbernya. Teknik mereka menyeimbangkan konflik yang dibutuhkan tempat tersebut dan seajarnya. Mereka percaya pada pembagian penyimpanan menggunakan pengendali warna os untuk membantu sebuah pengaturan dari penyimpanan bebas untuk setiap potensi urutan masalah. Untuk mengimbangi kerugian, mereka mengurangi penyejajaran penyimpanan yang tersedia dari masing-masing urutan, mereka menggunakan DRAM pada tiap tingkatan untuk menambah peluang keberhasilan dari penyimpanan di sistem tanpa menambah pengeluaran.”

J. H. Ahn, N. P. Jouppi, C. Kozyrakis, J. Leverich, and R. S. Schreiber (2009) “ banyak aplikasi-aplikasi yang menghadirkan pola akses memori dengan tempat ruang yang tinggi dan manfaat dari ketepatangunaan dan kemampuan yang dibolehkan pada cara halaman akses. Walaupun dengan menambah inti dari chip, urutan akses memori dapat lebih rendah dari ruang tempat karena urutan akses yang bebas pada bagian berkas yang di bolehkan pada kontrol memori. Mereka bertujuan untuk mendatangkan cara lain untuk menambah kelas penyimpanan sejajar tanpa menambah bahan. Mereka memakai DRAM bagian tingkatan dari tenaga processor, mereka menggunakan IPC dasar perhitungan di dalamnya.”

J. H. Ahn, J. Leverich, R. Schreiber, and N. P. Jouppi (2009) ” sebuah DIMM dengan banyak inti menyediakan beberapa keuntungan dengan mengendalikan setiap perlengkapan DRAM bebas di modul memori. Pertama-tama, lebih sedikit bagian yang dipasang di peningkatan baris pengaktifan, membuat energi lebih rendah pada setiap akses, terutama ketika nomor data akses perbaris yang kecil. Kedua, menghidupkan chip DRAM bisa menggunakannya tanpa sedikit perubahan, membuat sedikit pengeluaran. Ketiga, menambah nomor nyata peralatan memori yang menyediakan lebih banyak penyimpanan, ketika hasilnya lebih baik sampai menaikkan peniadaan jarak waktu persambungannya untuk lebih baik dalam banyak penyimpanan. Memberikan semua keuntungan dan pengeluaran yang relatif lebih rendah, mereka percaya DIMM dengan banyak inti mendorong penyediaan nilai.”

D. H. Yoon, M. K. Jeong, and M. Erez (2011) ” mereka menghadirkan sebuah roman arsitektur baru yang membolehkan pergantian antara efisiensi penyimpanan dan peletakan penurunan terus dan efisiensi tenaga. Penyesuaian bagian kecil dari sistem memori yang menggunakan tanpa batas pada chip yang lebih efisien. Mengurangi penurunan pada akses lalu lintas memori dan mengurangi konsumsi energi DRAM dengan tidak menghantarkan data yang tidak penting, ketika itu juga kita menambah persetujuan pada akses memori dan mempercepat kemampuannya. Penurunan kasar pada akses memori mengurangi juga kontrol dan kelebihan dan bisa menghasilkan potensial pengurangan rata-rata kehilangan.”

A. N. Udipi, N. Muralimanohar, N. Chatterjee, R. Balasubramonian, A. Davis, and N. P. Jouppi (2010) ”pada penelitian mereka, mereka menghadirkan 2 cara baru untuk menghapus kelebihan dalam sistem DRAM dengan hanya mengaktifkan alat-alat garis kecil atau (SBA) dan lalu dilanjutkan dengan mengasingkan segala garis tempat persembunyian untuk sebuah jalur tunggal pada sebuah chip DRAM tunggal(SSA).

Y. Kim, D. Han, O. Mutlu, and M. Harchol-Balter (2010) mengatakan bahwa” pada penelitian mereka, mereka mengenalkan ATLAS, sebuah pendekatan mendasar yang baru untuk mengkonstruksi sebuah kemampuan tinggi pada memori pengatur algoritma untuk sistem chip yang banyak intinya. Itu adalah yang bisa dinaiki untuk sebuah nomor yang besar dari pengendali memori. Pengatur algoritma memori sebelumnya sama-sama menyediakan sistem yang rendah CMP dan dibentuk untuk sebuah pengontrol memori tunggal dan tidak memiliki skala yang baik pada pengendali banyak memori.”

K. Nesbit, N. Aggarwal, J. Laudon, and J. Smith (2006)”pada penelitian ini mereka mengatakan bahwa tidak terkendalinya pembagian sistem memori sumber bisa terjadi karena kerusakan diantara jalur. Mereka sudah menunjukkan bahwa efek pada kemampuan untuk pembagian memori sendiri bisa lebih spesifik dan sebuah jalur dengan sistem memori agresif yang digunakan bisa memaksa jalur lain, yang bisa membuat os yang lebih efektif.”

Mutlu and T. Moscibroda (2008) “pada penelitian mereka, mereka mengenalkan, peralatan baru, dan mengevaluasi dengan konsep waktu dan tempat pengatur memori (STFM). STFM adalah

sebuah pengatur pengurangan penyediaan akses DRAM untuk pembeda jalur pembagi sistem DRAM. Kunci dari ide itu membuat STFM bekerja pada prioritas yang sama jalur. Ketika berlari bersama, seharusnya pengalaman sejajar sejumlah penurunan sejajar sebanding untuk ketika mereka bekerja sendiri. Mereka menggambarkan pembentukan dan melaksanakan STFM. Mereka juga menunjukkan bagaimana STFM bisa mengendalikan dengan sistem perangkat lunak untuk mengendalikan yang tidak wajar pada sistem dan jalur tenaga yang diprioritaskan.”

S. Rixner, W. J. Dally, U. J. Kapasi, P. R. Mattson, and J. D. Owens (2000)” mereka mengatakan bahwa perintah yang diluar jadwal memori di perintahkan kembali pada operasi memori untuk manaikan kemampuan dan bisa berpotensi memperoleh kembali beberapa bagian yang hilang. Walaupun, memperoleh kembali bagian yang hilang itu bukan pembentukan utama dalam pertimbangan untuk penjadwalan. Malahan , mereka membentuk salah satu contoh memperbesar memori sampai untuk memberikan jalur antar halaman.”

A.Ware and C. Hampel (2006)” mereka mengatakan bahwa tujuan dari modul jalur memori, yang mana pengendali memori itu sendiri mengendalikan sendiri bagian tigtatan dengan chip yang membolehkan sinyal. Mereka menganalisa engan menghadirkan potensi kemampuan perbaikan untuk menaikkan pengefektifan nomor penyimpanan memori.”

H. Zheng, J. Lin, Z. Zhang, E. Gorbato, H. David, and Z. Zhu (2008)” mereka mengatakan bahwa tujuan dari tingkatan memori yang kecil adalah untuk menjaga pengendali modul memori dengan menghubungkan yang sama dan akses bagian tingkatan yang digunakan sebuah pengendali modul .mereka fokus untuk menyimpan dan mengaktifkan tenaga dari bagian tingkatan.”

J. Ahn, M. Erez, and W. J. Dally (2006) “mengatakan bahwa hanya satu chip DRAM yang terbawa per akses memori,energi yang disimpan untuk menghidupkan dan sebelum perintah. Selanjutnya modul memori baru lebih efektif dan memiliki penyimpanan yang lebih besar dengan halaman kecil yang sebanding dengan modul memori yang biasa. Lebih banyak jenis penyimpanan menyebabkan lebih sedikit tabrakan penyimpanan.”

B. Jacob, S. W. Ng, and D. T. Wang (2007) “ mereka percaya bahwa inti pendekatan mereka adalah untuk sebuah janji langsung untuk simulasi generasi selanjutnya. Ini akan datang pada masa inti yang banak dan pembagian dimana-mana, mereka sudah menaikan peralatan mereka dengan cara itu juga mereka menerapkannya untuk sistem kebutuhan penh dimana CPU tidak menambah lagi peralatannya.”

U. Nawathe, et al (2007) “mengatakan bahwa tuntutan untuk kapasitas dan luas ruang memori terus berkembang. Akhir-akhir ini ,tenaga utama sistem memori di pusat sudah seimbang atau melebihi dari inti dua dan inti banyak , inti chip banyak dan terus bertambah.”

S. Thoziyoor, J. Ahn, M. Monchiero, J. B. Brockman, and N. P. Jouppi(2008) “pada penelitian ini mereka mengenalkan CACTI-D, sebuah peralatan luas memori yang mendukung model proses logika dasar DRAM (LP-DRAM) dan bahan utama DRAM (COMM-DRAM) teknologi ini ditambahkan untuk SRAM dengan CACTI-D, seragam dengan model jalan memori penuh semua generasi dari dasar SRAM L1 sampai memori utama DRAMs pada DIMMs sekarang tersedia.”

R. Danilak (2009) ”mengatakan bahwa standar setara untuk menyediakan rencana sejajar untuk belajar CMPs. PARSEC bisa digunakan untuk mengendalikan usaha pencarian dengan tuntutan aplikasi. Itu tertuju pada kemunculan perangkat komputer dan wadah aplikasi dan tidak terbatas dari standar setara yang lain. Itu adalah cukup bermacam-macam untuk mewakili pertimbangan. Itu tidak tertuju terhadap program HPC. Itu digunakan bagian dari algoritma dan itu mendukung pencarian. Dalam pelajaran ini mereka mencari-cirikan PARSEC dengan beban kerja untuk menyediakan dasar pengertian kebutuhan untuk membolehkan pencarian yang lain lebih efektif dengan menggunakan PARSEC pada pelajaran mereka. Mereka menganalisa kesejajaran, kerja dan tempat, antar rasio komunikasi dan luas chip dibutuhkan untuk beban kerja.”

S. Eyerhan and L. Eeckhout (2008) “pada penelitian ini, mereka mengevaluasi kewajaran dari ATLAS yang menggunakan dua sistem metrik yang terpisah yaitu penurunan maksimal dan kecepatan selaras.”

G. Hamerly, E. Perelman, J. Lau, and B. Calder (2005) “pada penelitian ini, mereka menggunakan simpoint untuk menetapkan daerah dari spekulasi aplikasi dan melewati dengan tangan dari inisial sederhana dan lebih secara tetap berkelakuan lama. PARSEC dan SPLASH2 standar sejajar, HPCS SSCA2 dan standar mikro. Ukuran setiap wakil daerah adalah 200 juta perintah untuk simulasi 4 inti dan 100 juta perintah untuk simulasi 8 inti untuk dasar percobaan, mereka memulai seluruh aplikasi untuk menyelesaikannya.”

L. Barroso (2005) “pada penelitian ini mereka mengatakan bahwa sumbangan yang paling berarti dari DRAM adalah untuk konsumsi tenaga dari seluruh sistem sudah di dokumentasikan pada beberapa pelajaran.”

I. Hur and C. Lin (2008) ”pada penelitian ini, mereka menghadirkan sebuah pendekatan 3 cabang untuk mengatur kekuatan DRAM dan tenaganya. Pertama-tama mereka menggunakan 2 cabang konsep pendekatan sederhana tapi menggabungkan pengurangan kekuatan dengan hanya sedikit mungkin mengurangi kemampuannya. Cabang ketiga mereka mendukung dugaan penghambat, dimana kunci masalahnya adalah untuk memperkirakan ketepatan keperluan penghambat di tahan untuk membiarkan energi yang diberikan tetap dibawah dengan sukses.”

C. Benia, S. Kumar, J. P. Singh, and K. Li (2008) ” pada penelitian ini, mereka mengatakan teknologi dengan sumber cahaya itu bersambungan untuk menaikan dengan cepat dan bisa dengan baik dari bahan-bahan yang perlu di masa depan untuk skala kemampuan inti banyak dengan manaikan hubungan antar kemampuan. Mereka sudah mengembangkan teknologi cahaya yang baru dengan menggabungkan arsitektur DRAM dan ketika teknologi cahaya adalah sebuah keunggulan untuk chi-chip komunikasi, teknologi ini mempengaruhi chip PIDRAM itu sendiri yang membutuhkan sebuah keseimbangan dengan hati-hati antar gabungan dan kenaikan tenaga. Dibelakang tenaga itu sendirisama pentingnya dengan menghidupkan tenaga dan seharusnya berasal di pengembangan teknologi cahaya masa depan.”

E. Ipek, O. Mutlu, J. Martinez, and R. Caruana (2008) ”pada penelitian mereka, mereka mengatakan secara tidak langsung bahwa permintaan yang banyak pada inti akan membuatnya

bersaing mempergunakan batas dan luas bidang. Beberapa pelajaran sudah mulai menyeroti munculnya antrian penghambat seperti mata pelajaran kemacetan (bottleneck).”

B. Schroeder, E. Pinheiro, and W. Weber (2009) “pada penelitian ini mereka , mereka mengatakan pelajaran baru-baru ini sudah menunjukkan bahwa DRAM sering terganggu dengan kesalahan dan bisa tertuju ke penurunan server penting di pusat data.”

B. Diniz, D. O. G. Neto, W. Meira Jr., and R. Bianchini(2007) “pada penelitian ini, mereka mempelajari 4 teknik untuk membatasi konsumsi tenaga dari bagian sistem memori yaitu : knapsack, LRU-Greedy, LRU-Smooth, dan LRU-Ordered. Mereka juga belajar variasi dari teknik-teknik itu mencoba untuk menghematkan tenaga dengan tegas dan untuk membatasi pengurangan hasil kemampuan yang terjadi. Akhirnya mereka mempelajari pengaruh yang berbeda sesuai batas-batas dari teknik dan variasinya. Simulasi mereka berdasar dari evaluasi mereka pada hal yang menarik ketika mereka melakukan observasi. Satu hal yang penting dalam observasi adalah knapsack dan LRU-Ordered adalah teknik yang paling atas keberhasilannya dari pada teknik yang lain.”

H. Patil, R. Cohn, M. Charney, R. Kapoor, A. Sun, and A. Karunanidhi (2004) “pada penelitian ini , mereka mengusulkan sebuah rencana untuk mendendalikan luas bidang DRAM. Rencana mereka sederhana, baik dan efisien. Sederhananya adalah mencapai setiap permintaan memori seperti jadwal setiap kesatuan. Kesederhanaan dari rencana mereka adalah dengan membolehkan mereka mulai menggunakan waktu antri dengan baik ternyata itu terikat pada kesalahan situasi yang belum terjadi. Rencana ini menggunakan keefisienan DRAM sebagai perencana utama untuk membesarkan jarak penyangga tabrakan, kecuali kalau jadwal permintaan memulai pertikaian dengan tujuannya. menguatkan pembagi luas bidang DRAM tidak cukup untuk menerima predikat akses memori laten. Kali ini mereka mengenalkan sebuah algoritma yang bisa menyesuaikan diri dengan mengatur berat bantuan pembagi untuk menerima keinginan laten.”

Z. Zhu and Z. Zhang (2005) “ pada penelitian ini, mereka mempunyai evaluasi permulaan dengan sistem dua jalur DRAM untuk sistem SMT dan pencarian untuk teknik optimisasi DRAM yang baru . mereka menemukan bahwa pekerjaan dari teknik SMT sudah berubah dari

konteks tentang optimisasi DRAM tetapi tidak membuat mereka berlangsung selamanya. Aliran kumpulan DRAM menjadi faktor yang sangat penting , penjadwalan akses memori lebih efektif ketika mempertimbangkan bagian dari urutan. Tetapi mempertimbangkan jarak tempat perlambatan DRAM menja kurang efektif.”